

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-201998

⑬ Int.Cl.⁴
G 11 C 13/08

識別記号

庁内整理番号
A-7208-5B

⑭ 公開 昭和63年(1988)8月22日

審査請求 未請求 請求項の数 13 (全12頁)

⑮ 発明の名称 強誘電性メモリ

⑯ 特 願 昭63-30712

⑰ 出 願 昭63(1988)2月12日

優先権主張 ⑱ 1987年2月12日 ⑲ 米国(US) ⑳ 013746

㉑ 発 明 者 エス・シェフィール アメリカ合衆国コロラド州 80906 コロラド スプリング
ド・イートン・ジュニア グス スプリング リτζ サークル3361

㉒ 出 願 人 ラムトロン・コーポレーション アメリカ合衆国コロラド州 80907 コロラド スプリング
グス オースチン ブラフス パークウェイ 1873 ユニ
バーシティ オフィス パーク

㉓ 代 理 人 弁理士 杉村 暁秀 外1名

明 細 書

1. 発明の名称 強誘電性メモリ

2. 特許請求の範囲

1. ビットライン(26, 60, 86)と、

このビットラインに結合されているセンス増幅器(30, 64, 90)と、

強誘電性コンデンサと、

この強誘電性コンデンサの一方の電極を上記ビットライン結合するトランジスタ(24, 56, 81a)と、

このトランジスタの動作を制御するために結合されている第1ライン(32, 66, 82)と、

前記強誘電性コンデンサの他方の電極に結合されている第2のライン(34, 68, 98)とを具えることを特徴とする強誘電性メモリ。

2. センス増幅器に結合されているダミーセル(36)をさらに具えることを特徴とする特許請求の範囲第1項記載の強誘電性メモリ。

3. 前記センス増幅器に結合されている第2の強誘電性コンデンサ(58, 83a)を具えること

を特徴とする特許請求の範囲第1項記載の強誘電性メモリ。

4. 複数のメモリセル(20a, b, c, d, e; 50a, b, c,; 80a, b, c, d)を有し、各メモリセルが強誘電性コンデンサ(22, 52)をそれぞれ有し、前記第2ライン上のパルス(49a, 70)によって前記ビットラインがセルの状態に応じて電圧変化するように構成したことを特徴とする特許請求の範囲第1項記載の強誘電性メモリ。

5. 列及び行を構成するように配置されている複数の強誘電性メモリセル(50, 50a, b, c,; 80a, b, c, d)を具え、各行がそれぞれセンス増幅器(64, 64a, b, c, d; 90, 96)に結合されている1対のビットライン(60, 62; 86, 88; 92, 94)を有し、

各メモリセルが1対の強誘電性コンデンサ(52, 54; 83a, b, c, d)を有し、一方のコンデンサが前記ビットライン対の一方のラインに選択的に結合され、他方のコンデンサが

ビットライン対の他方のラインに選択的に結合され、

前記センス増幅器が、ビットライン対のライン間の電圧差に応答するように構成したことを特徴とする強誘電性メモリ。

6. 前記各センス増幅器(64 ; 64a, b, c, d ; 90, 96)が前記ビットライン対間の電圧差に応答して一方のビットラインを第1の電圧に駆動すると共に、他方のビットラインを基準電圧に維持し、前記メモリセルの強誘電性コンデンサが、共にプレートライン(68 ; 68a, b, c, d ; 98, 100)を介して選択的に作動可能な電圧源に結合されている1対のプレートを有することを特徴とする特許請求の範囲第5項記載の強誘電性メモリ。
7. 前記各メモリ毎に、前記メモリセル内の各強誘電性コンデンサにそれぞれ対応する1対のアクセストランジスタ(56, 58 ; 81a, b, c, d)を有し、これらトランジスタが選択的に作動可能にされて前記トランジスタをメモリセルと協働する各ビットライン(60, 62 ; 86, 88 ; 92, 94)に結合するように構成したことを特徴とする特許請求の範囲第6項記載の強誘電性メモリ。
8. 前記メモリセルのコンデンサに電圧(70 ; 72)を印加すると共に、前記コンデンサをビットラインにそれぞれ結合する手段を含むことを特徴とする特許請求の範囲第7項記載の強誘電性メモリ。
9. 前記手段が、メモリセルの両方のコンデンサのプレートに結合されているプレートライン(68 ; 68a, b, c, d ; 98, 100)を含むことを特徴とする特許請求の範囲第8項記載の強誘電性メモリ。
10. 前記手段が、メモリセル内のトランジスタ(56, 58 ; 81a, b, c, d)のゲート電極に結合されているワードライン(66 ; 66a, b, c, d ; 82, 84)をさらに含むことを特徴とする特許請求の範囲第9項記載の強誘電性メモリ。
11. 前記ワードライン(66 ; 66a, b, c, d)が、前記プレートライン(68 ; 68a, b, c, d)に対して平行にされていることを特徴とする特許請求の範囲第10項記載の強誘電性メモリ。
12. 前記ワードライン(82 ; 84)が、前記プレートライン(100, 102)と直交することを特徴とする特許請求の範囲第10項記載の強誘電性メモリ。
13. 半導体メモリを操作するに当って、
相補的データを、1対の強誘電性コンデンサを有するメモリセル(50 ; 50a, b ; 80a, b, c, d)に記憶する工程と、
前記メモリセルを1対の導体(60, 62 ; 60a, b, c, d ; 62a, b, c, d ; 86, 88, 92, 94)に結合する工程と、
一方のコンデンサの分極が変化するまで、前記コンデンサに第1信号(70)を供給する工程と、
前記分極の変化を検知し、セルのデータに応じて前記1対の導体を駆動し、セルの記憶

内容を指示する工程と、
前記一方のコンデンサの分極が変化してメモリセルをそのオリジナルの状態に再生した後、前記導体を介してメモリセルに第2信号を供給する工程とを具えることを特徴とする半導体メモリの操作方法。

3. 発明の詳細な説明

例えば、Ⅲ位相の窒化カリウム、チタン酸ピスマスや、ジルコニウム酸及びチタン酸化合物のPZT群のような種々の強誘電性材料が既知である。このような材料の1の特性は、第1図に示す形態のヒステリシス曲線すなわちヒスラリスループを呈することであり、第1図において横軸は材料に印加される電界強度を示し、縦軸は材料の分極を示す。すなわち、ヒステリシス曲線を描くため、電極プレート間に強誘電性材料を介在させてコンデンサを形成すれば、このコンデンサを通る電流の流れはコンデンサに印加された電圧の前歴に依存することになる。簡単に言えば、強誘電性コンデンサ(強誘電性材料を用いたコンデンサ)が0ボルト

が印加されている初期状態にあれば、図示のようにこのコンデンサはA点で示される分極を有することになる。このコンデンサの物理的特性は、破線Bで示される分極が0になる向分極電圧 (coercive voltage) によって特徴付けられる。向分極電圧Bより大きい正の電圧をコンデンサの両端に印加すると、このコンデンサに電流が流れC点で示される新しい分極状態に移行する。次に印加電圧を0にすると、このコンデンサはA点で示される分極状態に戻らず、D点で示されるようにほぼ同一の分極状態を維持することになる。さらに正の電圧を印加しても分極状態はほとんど変化せず、C点方向に沿って或はC点を超えて移行する。一方、ほぼ十分な電圧を印加すると、分極はE点で示されるように変化する。その後、コンデンサからこの負の電圧を除去すると、その分極状態はほぼ同一に維持されA点に移行する。従って、A点及びD点はコンデンサ両端間に印加される電圧が0ボルトの場合に発生する2個の状態を示し、これらの状態はコンデンサの印加電圧の履歴に依存

することになる。

従って、強誘電性コンデンサは、メモリセルの一部として有用である。A点は論理値“0”を表わし、D点は論理値“1”を表わすことができる。典型的な場合、強誘電性コンデンサは約500Å〜100μmだけ離隔した金属板又は導体板を有し、これら金属板間に誘電体として窒化カリウムのような強誘電性材料を介在させる。

例えば、1973年4月17日に登録されたローラの米国特許第3,728,694号(シン フィルム フェロエレクトリック デバイス)、1980年3月25日に登録された米国特許第4,195,355号(プロセス フォー マニファクチャリング ア フェロエレクトリック デバイス アンド デバイシズ マニファクチュアド ゼアバイ)及び1976年2月17日に登録された米国特許第3,939,292号(プロセス フォー ステアブル フェイズ III ポスタニウム ニトレート アンド アーティクルズ プリヘアド ゼアフロム)を参照すれば、これら全ての開示内容は本明細書において組

み込まれている。

強誘電性コンデンサの状態を決定するために、電圧を印加し、流れる電流を検出して状態を決定することができる。強誘電性コンデンサセルに書き込むためには、コンデンサの電極板に正又は負の電圧を印加して第1図に示すヒステリシス曲線に沿って分極状態を移行させ、2進値の1又は0となるデータに対応した安定した状態に移行させることができる。読み出す場合、正のパルスを印加してもほとんど電流が流れない場合、すなわちコンデンサによって電荷が移動しない場合、このコンデンサは状態Dにあることを示す。一方、電荷が移動する場合は、コンデンサが状態Aにあることを表わす。読み出し作業を行ない、十分な量の電荷の移動によってコンデンサがヒステリシス曲線に沿って一方の安定状態から他方の安定状態に移行すれば、セルは反対の2進デジイトを表わす反対の安定状態に移行するので、セル中のデータはフリップするものとなる。従って、メモリ素子として強誘電性コンデンサを用いるメモリセルを読み出

す場合再生作業が通常必要になる。

従来の装置では、メモリセルとして強誘電性コンデンサが用いられており、複数の交差部において各列を各行に結合するメモリセルを有する複数の列及び行より成る直交回路状態を設けることが標準的な手法であった。第2図はこのような従来の装置を示し、この回路装置は互いに交差する3個の行C₀、C₁及びC₂と3個の列R₀、R₁及びR₂として配置されている9個のメモリセルを有している。各交差部にはメモリセルを表わす対応する強誘電性コンデンサが配置され、各列の導体部はコンデンサプレート的一方に直接接続され、各行の導体部は他方のコンデンサプレートに直接接続されている。強誘電性コンデンサの向分極電圧は3Vと4Vとの間にあるものと仮定する。メモリセル10を選択する場合、正の電圧(一例として5V)を列R₀に、つまりコンデンサ10、12及び14の上側コンデンサプレートに印加する。0Vを他の列R₁及びR₂に印加する。同様に、0Vを行C₀(つまり、コンデンサ10の下側プレート)

に印加する。この結果、コンデンサ10の両端の電圧は5Vになる。流れる電流量はコンデンサ10に記憶されているデータを示す。アレイの別のセルを読み取るのを防止するため、コンデンサ16の両端間の電圧が、向分極電圧以下である0Vとなるように制御する。これにより、コンデンサ16の分極状態は変化しない。一方、行C₁又はC₂に0Vが印加されると、列R₁のコンデンサ12及び14の両端間の電圧が5Vになり、この5Vは向分極電圧を超えることになる。従って、列R₁のセル10、12及び14の全てがアクセスしてしまう。このような不都合を回避するため、行C₁及びC₂を印加される全読出電圧の半分の電圧となるように制御する。よって、行C₁及びC₂には2.5Vの電圧が印加されるので、コンデンサ12及び14の両端の全電圧はそれぞれ高々2.5Vとなる。この2.5Vの電圧は向分極電圧以下であるから、これらのセルは開始時の安定状態に維持されることになる。このようにして、列R₁と行C₁との交差部のセル10だけがアクセスされて読み出されることになる。

2.5Vの電圧を長時間に亘って印加すると、たとえ向分極電圧が3Vと4Vの間にあってもこのコンデンサは状態Dに移行するおそれがある。従って、本発明の別の目的は、このような“乱された電圧”或いは“乱された信号”による効果を低減することにある。

本発明が解決しようとする第3の問題点は、強誘電性材料が明確な向分極電圧を有していないと考えられる場合メモリに用いられないと言うことである。この課題も本発明により解消することができる。

本発明の種々の特性によれば、強誘電性コンデンサをトランジスタを介してビットラインに結合することによりメモリセルが構成される。好ましくは、ビットラインを電界効果トランジスタのソースドレイン経路によって強誘電性コンデンサに結合する。他方のコンデンサプレートは“プレート”ラインによってアクセスする。このトランジスタはワードラインによってゲートされる。この構成によれば、矩形波のワンショットパルスによ

メモリセル10を読み出したら、通常このセルを再生してオリジナルの安定状態に戻す必要がある。この作業を行なうため、行C₁に5Vの電圧を印加し列R₁に0Vの電圧を印加する。列R₁及びR₂の各々は2.5Vに設定され、行C₁及びC₂は0Vに設定する。

これらの電圧の組み合わせのシーケンスを循環して行なうことは複雑であり、メモリを高速でアクセスする目的の妨げとなる。従って、本発明の目的は強誘電性コンデンサメモリ用の一層簡単な構成の回路装置を提供するものであり、この回路装置によって種々の電圧の組み合わせで列及び行を切り換えてメモリセルを読出及び再生することができる。

従来の強誘電性メモリに関する別の問題点は、“乱れた信号”である。必ずしも全てではないが、多くの強誘電体は向分極電圧を有しているが、長時間に亘ってコンデンサに微小な電圧を印加すると、コンデンサの分極状態が変化してしまう。例えば、状態Aにある強誘電性コンデンサの両端に

うなパルスをプレートラインに印加すると、強誘電性コンデンサと共働するビットラインがメモリセルの状態に比例して、すなわちコンデンサの状態に比例してその電圧が変化する。

本発明の別の構成によれば、このようなメモリセルにセンス増幅及びダミーセル回路装置を結合し、相補的なビットライン対をセンス増幅器に結合することができる。ダミーメモリセルをセンス増幅器の一方の側に配置し、作動メモリセルを他方の側に配置する。好ましくは、ダミーセルをトランジスタと強誘電性コンデンサとを組み合わせることによって構成し、このダミーセルにダミーワードライン及びダミープレートラインを接続する。作動メモリセルも同様にワードライン及びプレートラインを有している。一例として、ダミーメモリセルは作動メモリセルより一層大きな容量を有している。

この構成を用いてデータ読み出す場合、好ましくはビットラインを0Vにプリチャージする。次に、ワードライン、プレートライン、ダミーワー

ドライン及びダミープレートラインを全て予め定めた電圧まで上昇させる。作動メモリセルのコンデンサをアクセストランジスタを経てそのビットラインに結合し、ダミーメモリセルのコンデンサをそのトランジスタを介して相補的ビットラインに結合する。メモリセルに記憶されているデータが論理値1の場合ダミーメモリセルのコンデンサによって、相補的ビットラインの電圧がビットラインの電圧増加以上に増大する。ただし、ダミーセルのコンデンサが、作動メモリセルのコンデンサの容量より大きい容量を有しているからである。これとは反対に、作動メモリセルに論理値1が生じている場合、ビットラインの電圧が相補的なビットラインの電圧上昇より一層速やかに上昇する。

一方のビットラインのどちらかの電圧が一層速やかに上昇すると、センス増幅器がこの電圧上昇を検知し、センス増幅器の作動に応じてこのビットラインを2個の分極状態の一方の状態に駆動する。その後、プレートライン上の電圧を除去すると、センス増幅器によってビットライン対に課さ

れた電圧より作動メモリセルのコンデンサが適切な状態に再生される。つまり、本発明のこの実施例は、作動強誘電性セル用及びダミー強誘電性セル用のビットライン、ワードライン、プレートラインを用いることになる。

第1実施例において、ダミーセルは作動メモリセルより一層大きな容量を有している。変形例では、例えばダミーセル及び作動セルの容量を同一とし、ダミーセルを作動セルの充電電荷の半分まで充電する構成とすることもできる。或は、ダミーセルの容量を作動セルの容量の半分とし、作動セルと同一の電圧に充電することもできる。

本発明の第2の実施例では、ダミーセルを用いないが、各メモリセル毎に2個の強誘電性コンデンサを含んでいる。各セルの2個のコンデンサに相補的なデータを記憶する。同一のワードラインによってゲートされる各アクセストランジスタによってセルのコンデンサをビットライン対の対応する部分に結合し、このビットライン対をセンス増幅器に結合する。コンデンサの1組の電極プレ

ートをプレートラインに結合する。ワードライン及びプレートラインが予め定めた電圧まで上昇すると、両方のメモリセルのコンデンサが各ビットラインに結合される。読出中又は書込中に、センス増幅器がビットライン間の電圧差を検知し、ビットラインをメモリセルの状態に応じて2個の状態のうちの一方の状態に駆動する。プレートライン上の予め定めた電圧を除去すると、センス増幅器によってビットライン上に与えられた電圧によって各メモリセルコンデンサが正しい状態に書込まれ又は再生される。

好ましくは、メモリセルを列及び行に沿って配置し、各行ビットライン対を持たせる。第1の形態では、列は各セルのアクセストランジスタのゲート電極に結合されているワードラインを含んでいる。プレートラインはワードラインから分離し、ワードラインに対して平行にする。第2形態では、プレートラインをワードラインに対して直交するように延在させる。このような構成により、セルのマトリックス全体から1個だけのセルが選択さ

れる利点が達成される。これらの構成を組み合わせることにより、自己再生型の強誘電性メモリを提供できると共に種々の利点が達成される。

以下図面に基き本発明を詳細に説明する。

第3図は本発明の種々の形態によるメモリアレイの一部を示す。破線で示すメモリセル20a(後述する“ダミーメモリセル”と区別するため“作動メモリセル”とも称する)は強誘電性コンデンサ22及びアクセストランジスタ24を有している。コンデンサ22は強誘電性コンデンサ用の記号で示され、間に強誘電性誘電体が介在する一対の離間したコンデンサ電極プレートと有している。上述したローラの特許では、ここで用いるのに適当な強誘電性コンデンサが図示されている。コンデンサ22の一方のプレートをトランジスタ24に結合する。図示の如く、トランジスタ24はエンハンス型のn形電界効果トランジスタであり、本例ではスイッチング装置として用いる。望ましくは、トランジスタ24のソース・ドレイン経路を介してコンデンサ22の一方のプレートラインをビットライ

ンに結合する。相補的なビットライン28はビットライン26と協働し、両方のビットラインを検知再生増幅器30（センス増幅器）に結合する。

メモリセル20aをワードライン32及びプレートライン34にも結合する。明らかなように、トランジスタ24のゲート電極をワードライン32に結合し、コンデンサ22の他方のプレートをプレートライン34に結合する。図示のように、ワードライン32とプレートライン34は第3図においては平行であり、本例によるメモリアレイの物理的形態においても平行にする。

“ダミー”メモリセル36を相補的ビットライン28に結合する。この“ダミー”メモリセル36は、作動メモリセル20aと同様にアクセストランジスタ28及び強誘電性コンデンサ40を含んでいる。これらの素子は、同様な方法でダミーワードライン42及びダミープレートライン44に結合される。本例ではセンス増幅器30の所望の作動を達成するため、ダミーセル36のコンデンサの容量をコンデンサ22の容量よりも大きくし、好ましくはコンデン

サ40の容量をコンデンサ22の容量の少なくとも2倍とする。

この形態によって増幅器30に結合されているn個のメモリセルの全体について考慮される。これらのメモリセルのうち、メモリセル20a、20b、20cをビットライン26に結合し、メモリセル20d、20eを相補的ビットライン28に結合する。さらに、第2のダミーセル46をビットライン26に結合する。

メモリセル20a及びダミーセル36についてだけ内部構造を詳細に図示し、残りのセル20b、20c、20d、20e及び46については簡単に図示されていると理解されるべきである。しかしながら、メモリセル20の各々はメモリセル20aと同様に構成され、形成されると共に結合され、ダミーセル46はダミーセル36と同一の仕様で構成され、形成されしかも結合されているものと理解すべきである。

この実施例は、パワーアップ後の初期設定サイクル中にダミーセルに書き込んだ論理値1を有している。メモリセル20aは読出すべき記憶した情報を含んでいる。好適な復調回路（第8図に図示

する）によってメモリチップに形成したアドレス情報を復調すると共にメモリセル20aを特定する。ダミーセル36はセンス増幅器30の右側に位置するから、このセル36は左側に位置するメモリセルのいずれにも、すなわちメモリセル20a、20b、20cに対応すると共に、これらのメモリセルに対してダミーセルとして作用する。ビットライン26、28は予め0ボルトに電位設定しておく。別の初期条件について、論理値1がメモリセル20aに記憶されているものとする。第1図に戻り説明するが：状態Aは論理値0を表わし、状態Dは論理値1を表わす。従って、メモリセル20aは、そのコンデンサ22が状態Dとなる。ダミーセル36も同様にコンデンサ40が状態Dになる。

次に、ワンショットパルス49aをプレートライン34に供給し、ワンショットパルス49bをダミープレートライン44に供給する。別のワンショットパルス51をワードライン32及び42に供給する。パルス49a、49b及び51の立上線は同時に立ち上がり、これらパルスはコンデンサ22及び40の両端におい

て5Vの電圧にされトランジスタ24及び38をオンにする。コンデンサ22は状態Dにあるから、ヒステリシス曲線に沿ってC点まで移行する場合比較的微小な電流がコンデンサ22に流れることになる。ダミーセル36のコンデンサ40は同一の状態Dにあり、その中の強誘電性材料が状態Dから状態Cに移行する場合コンデンサ40の両端に印加された5Vの電圧によって同様に電荷流が発生することになる。しかしながら、コンデンサ40の容量はコンデンサ22の容量よりも大きいため、コンデンサ22よりも一層大きな電流がコンデンサ40から流れ出す。この結果、相補的ビットライン28上の電圧は、ビットライン26の電圧増加以上に増大する。上述した適切な信号によってオンされたセンス増幅器30がこの差分を検知し、ビットライン26を論理値0（例えば、0ボルト）に駆動し、相補的ビットライン28を論理値1（例えば正の5ボルト）に駆動する。さらに、このビットラインの状態を駆動増幅器によって増幅してデータ出力を形成する。コンデンサ22は状態Dからスタートして検知動作

中はこの状態を維持する。次に、パルス51の後縁が生ずる前にパルス49aの後縁が発生する。すなわち、コンデンサ22の下側プレートが0ボルトになる(プレートライン34から)。コンデンサ22がその後わずかな時間に亘ってビットライン26に結合されていても、検知動作の結果ライン26も同様に0ボルトになる。従って、コンデンサ22の両端電圧を0ボルトにすれば、何んら状態変化は発生しない。この結果、メモリセル20aが論理値1を記憶していれば、そのコンデンサに対する状態変化が発生せず、このコンデンサに対する再生が不要であることが明らかになる。

メモリセル20aが論理値1ではなく論理値0を記憶している場合、たとえ信号タイミングが同一の状態に維持されていても別のシーケンスが発生する。すなわち、プレートライン34が正のパルス(49a)によってパルス状態の場合コンデンサ22の強誘電性材料が状態Aから状態Dへの状態変化を受け、これによりコンデンサ40よりも多い電荷が発生するからである。(コンデンサ40は初期設定

の状態Dから開始することを思い出して欲しい。)つまり、2個のメモリセル20a及び40によって生じた電位差の結果としてセンス増幅器30によりビットライン26が高レベルに駆動され相補的ビットライン28が低レベルに駆動されることになる。プレートライン34の電圧が低レベルに戻ると、ワードライン32は依然として高レベルであるから(パルス51の後縁はパルス49aの後縁よりも遅れるから)、コンデンサ22の上側プレートの高電圧状態(トランジスタ24のソースドレインを介してビットライン26に結合されている)と下側プレートの低電圧状態(プレートライン34に結合されている)との組み合わせによってコンデンサ22の強誘電性材料がオリジナルの状態、すなわち論理値0を表わす状態Aに再生される。

要するに、このダミーセル回路を用いることにより、論理値1が作動メモリセルに記憶されている場合でも読出操作によってこのセルに対する状態変化は生じない。論理値0が記憶されている場合、このメモリセルは読出中にフリップするが、

プレートラインを低レベルに降下させてビットラインに結合されているコンデンサを開放することにより自動的に再生される。

パルス49bはパルス51と同一のタイミングを有し、すなわち立上縁及び後縁が一致している。これにより、ダミーセル40の読出中又は再生中における状態変化が阻止される。

アドレスされたダミーセルがセンス増幅器30の右側にある場合、ダミーセル40ではなくダミーセル46が用いられる。

第4図は本発明の第2実施例によるメモリ50を示す。メモリセル50は相補的な2進データを一对の強誘電性コンデンサ52, 54に記憶する。これらコンデンサ52及び54は、それぞれアクセストランジスタ56, 58のソースドレイン経路によって一对のビットライン60及び62にそれぞれ結合され、これらビットライン60, 62は読出再生増幅器64に結合されている。ワードライン66をトランジスタ56, 58のゲート電極に結合する。プレートライン68を図示のようにコンデンサ52及び54の両方の下

側プレートに結合する。第4図においてプレートライン68はワードライン66に対して平行である。この構成は、物理的形態においても同様であり、ワードライン66をプレートライン68に対して物理的に平行に形成する。

記憶すべき2進データが論理値"1"の場合、コンデンサ52は一方の状態となりコンデンサ54は他方の状態となる。これにより、2進データが低レベルの場合これらコンデンサはそれぞれ上記状態に対して反対の状態になる。とにかく、これらのコンデンサは相補的な状態を占めることになる。記憶されているデータが論理値1でありコンデンサ52が状態D(第1図)であると仮定する。このような場合コンデンサ54は論理値0を表わす状態Aを占める。プレートライン58の初期電圧は0となり、ビットライン60, 62の初期電圧は0になる。従って、コンデンサの両端を電圧が印加されていないから、電荷のリークは生じない。

メモリセル50を選択して記憶されているデータを読み出すため、符号70で図示するように5Vの

正のバースをプレートライン68に印加する。従って、コンデンサ52及び54の下側プレートの電圧は5Vになる。同様に、ワードライン電圧も図示のようにバース72によって5Vになる。バース70、72は互いに一致した立上り縁を有しているが、バース72は一層長く持続するのでその後縁はバース70の後縁よりも遅れることになる。プレートライン及びワードラインを一緒に復調することは通常用いられている。(サイクルの終りに、プレートラインを最初に降下させ、次にワードラインを降下させ、次に両方のビットラインを0ボルトに予め設定する。)

バース70、72が高レベルになると、トランジスタ56、58がオンし、5Vの電圧がコンデンサ52及び54の両端に印加される。コンデンサ52は状態Dにあるから、このコンデンサの両端に5Vの正の電圧が印加されると、強誘電性材料の分極が図示のようにC点に移行するに従って比較的微小な電流が流れる。しかしながら、コンデンサ54は最初は状態Aにあるから、5Vの信号がこのコンデン

サに印加されると、この向分極電圧が限界を超え、このコンデンサの強誘電性材料の分極が状態Aから状態Cに移行し、コンデンサ52から取り出される電荷よりも一層多くの電荷(及び電流)が取り出される。トランジスタ56のソース-ドレイン経路を経てコンデンサ52に結合されているビットライン60は、コンデンサ52の下側プレートに5V信号が印加されているにもかかわらず0ボルトに比較的接近する。しかしながら、コンデンサ54の分極が状態Aから状態Cに移行するに従ってコンデンサ54に大きな電流が流れるから、ビットライン62の電圧が上昇する。センス(第7図)として称される適切な信号を供給すると、センス増幅器64がオンしてビットライン60と62との間の電圧差を検出し、より高レベルのラインすなわちビットライン62を正の5Vに駆動する。センス増幅器はライン60を接地する。この条件によってデータがビットラインを介して読み出される。

この条件下において、コンデンサ52、54の強誘電性材料は、オリジナルの状態とは異なり、共に

状態Dにある。オリジナルの状態を再生するため、本発明の別の実施例ではプレートライン電圧を0ボルトに戻しワードライン電圧を高レベルのままとすると共にビットラインをセンス増幅器64によって駆動する。この動作は、バース70の後縁より遅れて発生するバース72の後縁を利用することにより行なわれる。ビットライン62の電圧は正の5Vであるから、コンデンサ54の両端間の電圧はほぼ5Vになり、この正の5Vによってコンデンサ54内の強誘電性材料の分極をC点から状態Dを経て論理値0を喪失した状態Aまで駆動する。この状態はコンデンサ54が動作を開始した状態であり、従ってコンデンサ54が再生されることになる。他方、バース70が終端するとき、コンデンサ52は分極が変化しない。けだし、コンデンサ52の両端にほぼ0Vが印加されるためである。従って、この回路装置全体によってメモリセル50が読出動作のオリジナルの状態に再生されることになり、従ってこの回路は自己再生として称せられる。バース72がその後縁に達した後、センス増幅器は信号φ

センスが0ボルトに戻ることにによって解放される。次に、別のトランジスタのソース-ドレイン経路を介してビットラインを接地することにより信号φリチャージによってビットラインがプリチャージされる。

この回路装置の別の利点は、コンデンサの両端に例えば2.5Vのような“乱された”電圧がいかなる期間中にも印加されないことであり、たとえコンデンサの両端に印加される電圧が向分極電圧を超えなくてもメモリセルコンデンサについて分極状態を変化させる主要な関係がある。さらに、第4図に示す形態のコンデンサ52、54に正確に規定された向分極電圧を印加する必要がない。さらに、微小なヒステリシス効果が、この回路装置にとって必要な全てである。

第5図は第4図の形態を利用したメモリセルアレイを示し、この第5図について説明する。ワードライン66a、66b、66c又は66d並びにプレートライン68a、68b、68c又は68dによって表わされる列中の各メモリセルはそれぞれセンス増幅器

64a, 64b, 64c 又は64d を有し、これら全てのメモリセルはセンス増幅器の動作によって読出される。けだし、ワードライン66及びプレートライン68の電圧がはじめに共に復調され、これらの電圧によって列に沿って同一状態が発生するためである。従って、いかなる列が復調される場合でもセンス増幅器64a, 64b, 64c 及び64d の全てが活性になる。第5図において、センス増幅器はビットライン対60a, 62a; 60b, 62b; 60c, 62c; 及び60d, 62dに結合する。

本発明の別の実施例では、第6図に示すようにワードライン66に直交してプレートライン68を形成することによりこの問題を解決する。第6図において4個のメモリセル80a, 80b, 80c 及び80d が示されており、これら全てのメモリセルの形態はセル50の形態(第5図)と同様である。従って、各セルはトランジスタ81(81a, 81b, 81c 及び81d)並びに誘電性コンデンサ83(83a, 83b, 83c 及び83d)を含んでいる。セル80b 及び80d は、ワードライン84を有する別の列である。セル80a及

び80b は左側の行にあり、センス増幅器90に結合されている共通のビットライン対86, 88を有している。右側の行のセル80c 及び80d はセンス増幅器96に結合されている共通のビットライン92, 94を有している。単一のプレートライン98は左側の行に対応すると共に単一のプレートライン100は右側の行に対応し、従って各行はそれ自身のプレートラインをそれぞれ有している。前述した実施例においては、各列がそれ自身のプレートラインをそれぞれ有していた。

この回路装置によって電力を一層節約することができる。けだし、セル80a をアクセスする場合ワードライン82及びプレートライン98だけが5V信号でパルス化されるためである。この結果、セル80b, 80c, 80d ではなくセル80a だけがアクセスされることになる。すなわち、ワードライン82の電圧によって上部列のアクセストランジスタ81a, 81cの全てがオンするが、プレート電圧は左側の2個のコンデンサ83a, 83bだけに印加され、すなわちセル80c ではなくセル80a だけに印加さ

れるからである。従って、セル80a が上述した態様でアクセスすることになる。第2列のセル80b はアクセスしない。たとえプレート電圧がその2個のコンデンサ83b に印加されても、このコンデンサはオフ状態に維持されているアクセストランジスタ81b によってビットラインから絶縁されているからである。つまり、増幅器96ではなく増幅器90だけから読出中に有効電荷を取出すことになる。

第6図は他の図面の実施例に用いることができるプリチャージ回路を示す。このプリチャージ回路はトランジスタ102, 104, 106, 108を有し、これらトランジスタは図示のようにゲート電極に結合されるプリチャージ信号φ_{プリチャージ}によってオン状態にゲートされたときビットライン86, 88, 92, 94をそれぞれ接地するソースドレイン経路を有している。

第7図は増幅器30, 64, 90又は96として用いるのに好適な典型的なセンス増幅器を示す。増幅器としては、半導体メモリ技術において周知の差動

増幅器、すなわち2個のビットライン間で“レース”状態を設定する増幅器を用いることができ、或は2個のライン上の一方のラインの大きな電圧又は電流を検知する他の型式の増幅器も用いることができる。この実施例では交差結合した1対のpチャネルトランジスタ110, 112を用い、これらトランジスタによって作動電圧φ_{センス}の切り換えられたソースを接続部114, 116にそれぞれ結合する。これら接続部はnチャネルトランジスタ118, 120のゲート電極にも結合され、これらトランジスタのソースドレイン経路によって接続部114及び116をそれぞれ接地する。接続部114及び116を使用中のビットライン対、すなわち26及び28, 60及び62, 86及び88或いは92及び94に結合する。

ワードライン用にブートストラップ駆動回路を含ませて十分に5Vの電圧を誘電性コンデンサの電極プレート両端に発生させることが望ましい。しかしながら、向分極電圧が0~5Vのように低い場合はブートストラップ駆動回路は不要である。

第8図は、同図においてA₀, A₁, A₂とし

て表わされるアドレスデータのユニークな組み合わせによって特定される単一のワードライン及びプレートラインに対する復調器を示し、この復調器はメモリ中の全てのワードライン及びプレートラインに共通の信号 ϕ_{WF} 及び ϕ_{PL} を復調する。P-チャネルトランジスタ130によってVCC信号をインバータ132に正転に結合する。インバータ132を結合してこの信号を受信及び反転すると共にこの信号をnチャネル134及び136のソースドレイン経路に供給する。トランジスタ134をトランジスタ138のゲート電極に結合し、このトランジスタのソースに ϕ_{WF} 信号を供給する。そのドレインを結合してワードライン32(第3図)のようなワードラインを駆動する。同様に、トランジスタ136によってトランジスタ140をゲートし、このトランジスタ140はプレート信号 ϕ_{PL} に結合されているソースを有しそのドレインを結合してプレートライン34のようなプレートラインを駆動する。

本発明による読出方法について説明したが、書

込処理は簡単に理解することができる。データ入力バッファ(ダイナミック及びスタティックRAMの存在のもとで用いられる)によってビットラインをデータ入力に結合する。信号 ϕ_{SENS} が立ち上がるときに書き込まれるべき状態がセンス増幅器によってラッチされ、データがセルに書き込まれる。

本発明の回路装置は、コンデンサに高精度に規定された向分極電圧を印加する必要がなく、しかもコンデンサが絶対的なスイッチング閾値を持つ必要もない。強誘電性材料が種々の経路のヒスラリスループを有する限り、本発明の構成を用いることができる。さらに、乱されたパルスによってセル中のデータが破壊されることがもない。ただし、たとえ乱されたパルスによってコンデンサのうちの1個がその分極状態が変化させられても、本発明による自己再生性能によってセルがオリジナルの状態に再生されるためである。

勿論、書き込むべきデータについて第1図のヒスラリスループの流れを反対にする必要もない。論理値0は、分極値が第1図のA点とD点との間に

ある0ボルトで発生することができる。このようなレベルはコンデンサに短い高電圧パルスを印加することによって書き込まれるので、正規の論理値0状態(A点)からループ全体に亘って移行させることは不適当な時間を有することになる。一方、ループ全体に亘って移動する必要がないので、部分的ヒスラリスループスイッチングの種類のものでスピードを増大させることができる。

4. 図面の簡単な説明

第1図は強誘電性材料のヒスラリス曲線を示す線図、

第2図はメモリセル当り1個の強誘電性コンデンサを用いる従来のアレイ形メモリを示す線図、

第3図はセンス増幅器、ダミーメモリセル、アクセストランジスタ、1対のビットライン及び制御用プレートラインが組込まれている強誘電性メモリセルの本発明の第1実施例の構成を示す回路図、

第4図はダミーセルを用いずメモリセル当り2個の強誘電性コンデンサを用いる本発明のメモリ

の第2実施例を示す回路図、

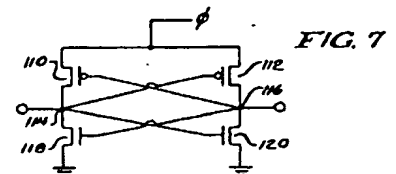
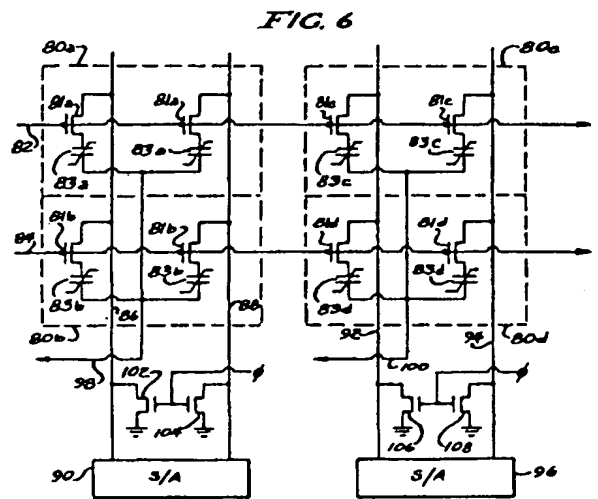
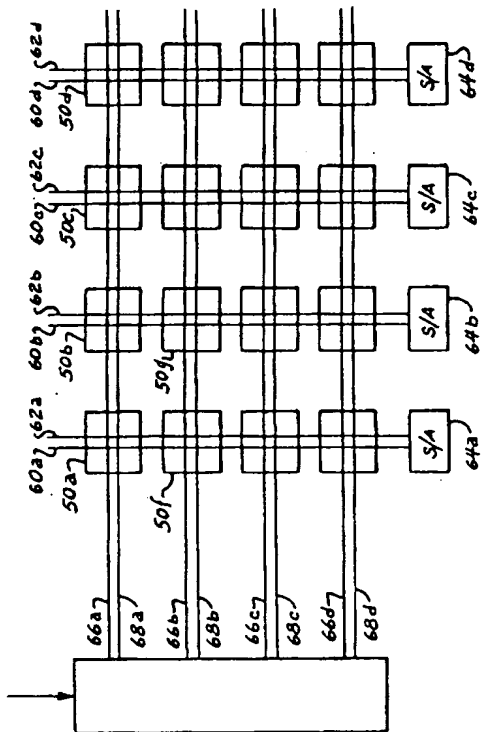
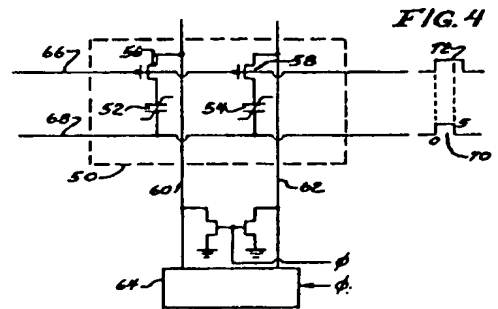
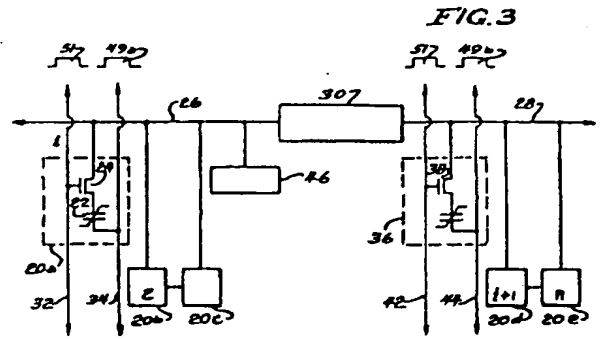
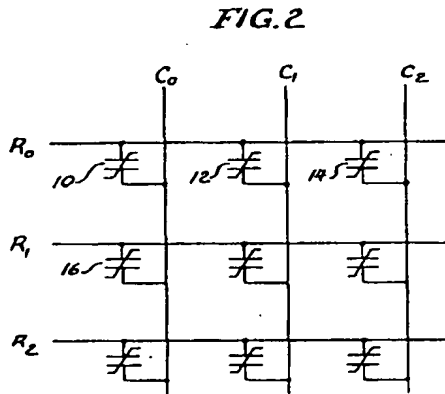
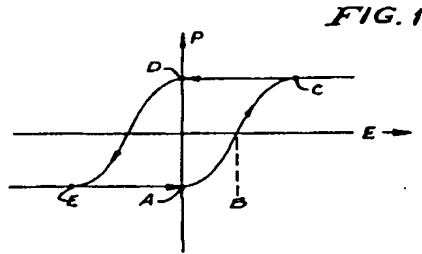
第5図は第4図に用いたメモリを用いるメモリアレイの大部分の構成を示すブロック図、

第6図は本発明による回路の変形例の構成を示す回路図、

第7図は、第3図、第4図、第5図又は第6図に用いるのに好適なセンス増幅器の構成を示す回路図、

第8図は復調回路の構成を示す回路図である。

- | | |
|--------------------------|-----------|
| 20, 50…メモリセル | |
| 22, 40, 52, 54…強誘電性コンデンサ | |
| 24…アクセストランジスタ | |
| 26, 28…ビットライン | |
| 30…センス増幅器 | 32…ワードライン |
| 34…プレートライン | 36…ダミーセル |



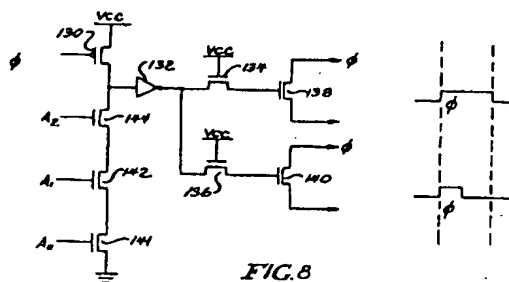


FIG. 8